

(2)

【特許請求の範囲】

【請求項1】 周期的にリフレッシュする必要がある複数のメモリセルを備えるメモリアレイを動作させるための方法であって、

前記メモリアレイに対する外部アクセスが未処理であるか否かを判定する過程と、

外部アクセスが未処理であると判定された場合、前記外部アクセスを実行する過程と、

リフレッシュが未処理であるか否かを判定する過程と、

外部アクセスが未処理でないと判定された場合、前記リフレッシュを実行する過程とを有することを特徴とする方法。

【請求項2】 前記リフレッシュを後に実行するために、外部アクセスが未処理の間に実行されなかった全てのリフレッシュを蓄積する過程をさらに有することを特徴とする請求項1に記載の方法。

【請求項3】 前記各セルが1つのトランジスタを備えることを特徴とする請求項1に記載の方法。

【請求項4】 前記各セルがDRAMセルであることを特徴とする請求項1に記載の方法。

【請求項5】 前記メモリアレイが、前記外部アクセスのピーク周波数に少なくとも等しいピーク動作周波数を有することを特徴とする請求項1に記載の方法。

【請求項6】 周期的にリフレッシュする必要がある複数のメモリセルを備えるメモリアレイを動作させるための方法であって、

リフレッシュが未処理であるか否かを判定する過程と、前記メモリアレイに対する外部アクセス間のアイドル時間中にのみ前記未処理のリフレッシュを実行する過程とを有することを特徴とする方法。

【請求項7】 メモリシステムであって、周期的にリフレッシュする必要があるメモリセルのレイと、前記メモリセルに外部からアクセスするために、前記メモリアレイに接続されるアクセスコントローラと、前記メモリセルをリフレッシュするために、前記メモリアレイに接続されるリフレッシュコントローラとを備え、

前記リフレッシュコントローラが、前記メモリセルへの外部アクセス間のアイドル時間中にのみ前記メモリセルをリフレッシュすることを特徴とするメモリシステム。

【請求項8】 前記アクセスコントローラと前記リフレッシュコントローラとの間に接続されるアービタをさらに備えることを特徴とする請求項7に記載のシステム。

【請求項9】 各メモリセルがDRAMセルであることを特徴とする請求項7に記載のシステム。

【請求項10】 前記メモリセルがそれぞれ1つのトランジスタを備えることを特徴とする請求項7に記載のシステム。

【請求項11】 前記メモリアレイが、前記外部アクセスのピーク周波数に少なくとも等しいピーク動作周波数を有することを特徴とする請求項7に記載のシステム。

【請求項12】 リフレッシュが前記アイドル時間中に実行されるようになるまで、前記リフレッシュを蓄積するために前記リフレッシュコントローラ内に設けられるアキュムレータをさらに備えることを特徴とする請求項8に記載のシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリに関連する。詳細には本発明はSRAM及びDRAMのいずれにも関連し、SRAM互換性メモリを組み立てるためにDRAMセルを使用することに関連する。

【0002】

【従来の技術】1つのトランジスタ(1-T)及び1つのコンデンサからなる従来のDRAM(ダイナミックランダムアクセスメモリ)メモリセルは、従来通りに4〜6個のトランジスタからなるSRAM(スタティックランダムアクセスメモリ)セルよりチップ表面積が著しく小さく、それ故安価である。しかしながら、DRAMセル内に格納されるデータは周期的にリフレッシュする必要があるのに対して、SRAMセルではその必要がない。従来技術、例えば「疑似SRAM」(1990年東芝データブック参照)は、DRAMセルをSRAMアプリケーションに用いようと試みたが、ほとんど効果がなく、そのデバイスがメモリリフレッシュを制御するためにメモリリフレッシュ中に外部信号を必要としたため、外部アクセスに遅延を生じた。その結果リフレッシュは透過性を有しておらず、そのデバイスは本質的にSRAMデバイスとの互換性を有していない。

【0003】

【発明が解決しようとする課題】リフレッシュにより外部アクセスにおける遅延が生じることのないDRAMセルを用いたSRAM互換性メモリを提供することである。

【0004】

【課題を解決するための手段】本発明に従った単一トランジスタメモリセルは従来のDRAMセルと概ね同じである。従ってそのメモリは周期的なリフレッシュを必要とする。リフレッシュはメモリ帯域幅を占有する。一般にリフレッシュ及び外部アクセスの両方により必要とされる全帯域幅が、メモリセルレイにより与えられるメモリ帯域幅以下であるなら、メモリリフレッシュは外部アクセスにおいて(タイミングに関して)全く影響がなく実行することができる。リフレッシュは比較的稀な事象であるため、リフレッシュが占有する平均帯域幅は、メモリアレイに対して利用可能なピーク帯域幅に比べて相対的に小さい。例えば、本発明の一実施例の場合、メ

(3)

3

メモリ動作周波数は100MHzであり、62.5KHzのリフレッシュ周波数(1000行のメモリセルで、各行当たり16mscリフレッシュ時間の場合)は、全利用可能帯域幅の0.0625%しか占有しない。

【0005】理論的には、外部アクセス周波数が99.9375MHzであるなら、リフレッシュは外部アクセスに関して全く影響を与えない。しかしながら実際には、メモリアレイのサイクルタイムが10nsecである場合には、各リフレッシュアクセスの発生は10nsecかかり、各外部アクセスは少なくとも10nsecかかる。リフレッシュを外部アクセスに対して透過を行うためには、外部アクセス時間は20nsec(リフレッシュに対して10nsec及び実際のアクセスに対して10nsec)かかる、すなわち外部アクセス周波数は50MHzより小さくなるべきである。100MHzメモリアレイを用いて、50MHzアプリケーションがリフレッシュを実行するのを支援することは、リフレッシュが62.5KHzの周波数であり、経済的ではない。さらに一般的に、外部アクセスの平均周波数はピークアクセス周波数より小さい。実際には、現存するメモリシステムでは、99.9%を超える利用率(平均周波数/ピーク周波数)を有するものはほとんどない。従ってピーク動作周波数がピーク外部アクセス周波数に等しいか、或いはわずかに大きく、低い平均アクセス周波数を利用して、メモリリフレッシュを実行し、そのメモリシステムがSRAMとして見えるようにする、1-Tセルを用いるメモリシステムを設計することができる。

【0006】

【発明の実施の形態】本発明の一実施例では、メモリアレイは32ビットの128Kワードを有する。それ故そのアレイは32データI/Oラインを有する。図1は、そのようなアレイを有する本メモリシステムの一例を示す。メモリシステムは、メモリアレイ10、メモリアレイシーケンサ14、メモリアドレスマルチプレクサ16、リフレッシュコントローラ20、外部アクセスコントローラ22並びにアクセスアービタ26を備える。メモリアレイ10は、2K行及び2K列内に配置される。データセンシング、リストア並びに書き込み動作を実行する、ブロック30におけるセンス増幅器は、各列に関連する。各アクセス中に、1つのセルアレイ行が動作状態にされ、その行の2Kメモリセルは、各列内のセンス増幅器30に接続される。

【0007】センス増幅器30は従来通りに、一組の2K-32列マルチプレクサ38を介してI/Oバッファ36に接続される。メモリアレイシーケンサ14は、アレイの動作を制御するために、従来通りのDRAMコントロール信号RAS#及びCAS#を発生する。RAS#及びCAS#信号の機能は同じ発明者による米国特許第5,615,169号に記載される機能と同様であり、ここで参照してその全体を本明細書の一部としてい

4

る。外部アクセスコントローラ22は、外部アクセスコマンドを解釈し、読み出し/書き込み要求を発生する。一実施例では、2つの信号を用いて、外部アクセスを確定する。その信号はクロック(CLK)及びアドレスストローブ(ADS#)である。外部アクセスは、アドレスストローブ(ADS#)信号の動作状態における立上がりクロックエッジで検出される。

【0008】図2は、これらの2つの信号のタイミング関係を示す。ADS#及びCLKのシグナリングは、同期SRAMの場合の業界標準と同様である(例えば1995年3月25日付けのインテル社Pentium Processor 3.3v Pipelined BSRAM specification version 2.0を参照されたい)。

【0009】別の実施例では、外部インターフェイス信号は、標準的な非同期SRAMの信号と同様にすることができる(1990年Mitsubishi Semiconductor Memory Data Book, M5M5178P, 64KSRAM用のデータシートを参照されたい)。この場合には、ADS#信号はMurakami等による1991年11月JSSC, Vol. 126, No. 11, pp. 1563-1567「A 21-mW 4-Mb CMOS SRAM for Battery Operation」に記載されるものと同様のアドレス遷移検出回路により内部的に発生させることができる。従って、発生したADS#信号は、メモリの内部動作と同期させるために用いることができる。

【0010】外部アクセスの検出時に、外部アクセスコントローラ22はアクセスアービタ26に対する要求信号REQ#を動作状態にし、アクセスアービタ26はASEL信号をハイにし、メモリアレイ10に対するアクセス用アドレスのための外部アクセスアドレスバスECAd上のアドレスを選択する。またアービタ26は、アレイ動作を制御するためのRAS#及びCAS#を発生させるメモリアレイシーケンサ14に入力される外部アクセスEA#信号も動作状態にする。これらの信号のタイミングも図2に示される。

【0011】外部アクセスとリフレッシュとの間のアクセスが衝突する場合には、アクセス優先度は通常、アービタ26により外部アクセスに対して与えられる。そうすることにより、外部アクセスはリフレッシュにより遅延を生じることはない。この実施例はクロック周期に等しいメモリサイクル時間を有するように形成され、従ってクロックサイクル毎のランダムアクセスを可能にする。そのアクセスはランダムである、すなわちそのアクセスはデバイスアドレス空間に広がる任意のアドレスであることができる。クロックサイクルの開始時点で、アービタ26は、その要求を評価し、アドレスマルチプレクサ16に入力されるASEL信号を駆動し、2つのアドレスの1つを選択する。その2つのアドレスは、リフレッシュアドレスRFAdd或いは外部アクセスアドレスECAdであり、メモリアレイ10の動作に用いられる。外部アクセスが存在しない場合にのみ、アービタ

(4)

5

26により、リフレッシュアクセスが実行されるようになる。衝突が起こる場合には、リフレッシュが遅延される。このタイミングも図2に示される。

【0012】リフレッシュコントローラ20は、メモリアレイ10が適宜リフレッシュされるのを確実にするように周期的にリフレッシュ要求を発生する。メモリアレイ10がある時点で、16msのリフレッシュ時間の間リフレッシュされるため、リフレッシュコントローラ20は8 μ s毎に1つのリフレッシュ要求を発生する。リフレッシュ要求信号REQ#は、未処理のリフレッシュが存在する時に動作状態にされる。REQ#信号の動作状態は、MCLK信号の立上がりエッジでアービタ26により検出される。外部アクセス要求が検出されない場合、アービタ26は、リフレッシュ識別RFACK#及びASEL信号の両方を1クロックサイクルの間ローにする。現在のメモリサイクルがリフレッシュのために用いられ、その後のメモリサイクルが、メモリアレイ10に対するアドレスとしてリフレッシュコントローラ20からのリフレッシュアドレスを選択する。

【0013】図3はリフレッシュコントローラ20のブロック図であり、リフレッシュアドレスカウンタ40、リフレッシュタイマ44並びにリフレッシュアキュムレータ50を備える。リフレッシュカウンタ40は、リフレッシュサイクル中にメモリアレイ10に対して11ビット行アドレスを与える。リフレッシュカウンタ40は、リフレッシュ識別RFACK#の動作停止によりシグナリングされるリフレッシュサイクルの終了時にインクリメントされる。リフレッシュタイマ44は始動時に（リセット信号により）リセットされる。タイマ44は、4095サイクルの全カウントを実現する12ビットカウンタ46及び12入力NANDゲート48を備える。100MHzのクロック周波数の場合、タイマ44は約8 μ s毎にタイムアップする（信号Q0-Q12がハイになる）。

【0014】全てのカウンタビットQ0-Q12がハイになるとき、リフレッシュアップRFUP#信号は、1クロックサイクルの間NANDゲート48によりローにされる。この信号は、3ビットアップ/ダウンカウンタ52をインクリメントするためにリフレッシュアキュムレータ50に入力される。アップダウンカウンタ52は、RFUP#がローにされる時、1だけインクリメントし、RFACK#が1クロックサイクルの間ローにされる時、1だけデクリメントする。カウンタ52は、フルカウントになる時、すなわちAQ0-AQ2が全てハイになる時、インクリメントを中止する。アキュムレータ50カウントが空でない場合、すなわち信号AQ0-AQ2が000でない場合、リフレッシュ要求REQgはORゲート54によりローにされる。アキュムレータ50の機能は以下に示される。

【0015】1つ或いはそれ以上のリフレッシュタイム

6

アップ周期（それぞれ約8 μ s）の間外部アクセスが持続する場合がある。この場合にリフレッシュサイクルを損失することなく調整するために、リフレッシュ要求がアキュムレータ50に蓄積される。アービタ26に対するリフレッシュ要求REQ#信号は、アキュムレータ50が空になるまでロー状態にされたままである。本実施例では、アキュムレータ50は7リフレッシュまで蓄積することができる。これにより、そのシステムはリフレッシュサイクルを損失することなく56 μ sまでの周期の間、外部アクセスを継続することができるようになる。この典型的なメモリシステムが機能することを目標とするコンピュータシステムでは、一般に56 μ sより長い連続的な外部アクセスは発生しない（他のアプリケーションでは、カウンタ52の大きさはその応用要件を満足するように増減されることができる）。

【0016】本実施例では、メモリシステムの動作に同期する信号MCLKは外部クロック信号CLKから従来通りに導かれる。別の実施例では、MCLKは従来のオンチップ発振器及びPLL（フェーズロックループ）により発生させることができる。PLLはアドレス遷移検出器の出力に対するMCLK立上がりエッジに同期し、アドレス遷移検出器はアドレスバス上に遷移が発生する際にパルスを発生する。

【0017】図4は図1のアービタ26の内部構造の一例を示し、本実施例では、図示されるようにインバータ58に接続されるNANDゲート56を備える。こうして未処理のメモリアレイ外部アクセスが存在しない場合を除いて、リフレッシュは防止される。

【0018】本開示は例示のためのものであり、制限するものではない。さらに別の変更例が本開示の観点から当業者には明らかであり、その変更例も添付の請求の範囲に入ることを意図するものである。

【0019】

【発明の効果】本発明により、リフレッシュにより外部アクセスにおける遅延が生じることのないDRAMセルを用いたSRAM互換性メモリを提供することができる。

【図面の簡単な説明】

【図1】本発明に従ったメモリシステムのブロック図である。

【図2】図1のシステムに対するタイミング図である。

【図3】図1のシステムのリフレッシュコントローラを示す図である。

【図4】図1のアービタを示す図である。

【符号の説明】

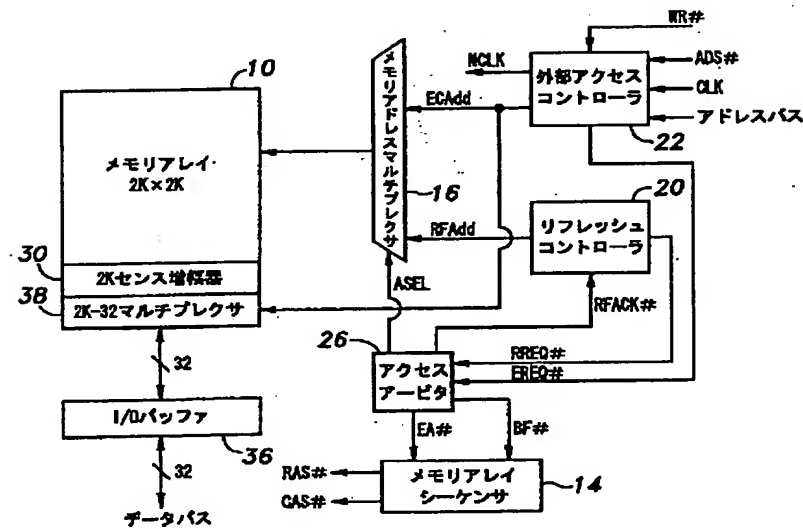
- 10 メモリアレイ
- 14 メモリアレイシーケンサ
- 16 メモリアドレスマルチプレクサ
- 20 リフレッシュコントローラ
- 22 外部アクセスコントローラ

(5)

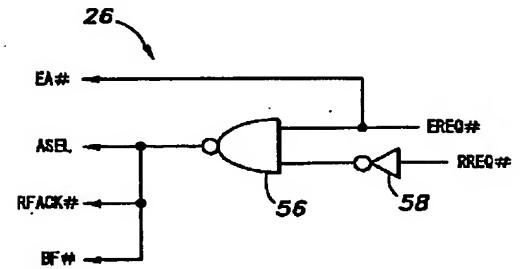
- 26 アクセスアービタ
30 センス増幅器
36 I/Oバッファ
38 2K-32マルチプレクサ
40 リフレッシュアドレスカウンタ
44 リフレッシュタイム
46 12ビットバイナリカウンタ

- 48 12入力NANDゲート
50 リフレッシュアキュムレータ
52 3ビットアップ/ダウンカウンタ
54 ORゲート
56 NANDゲート
58 インバータ

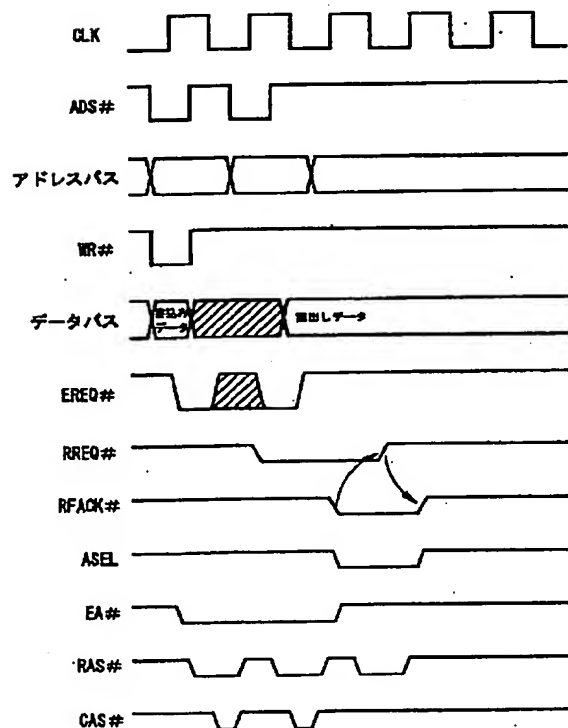
【図1】



【図4】



【図2】



(6)

【図 3】

